

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

3-01115-TH

(11) 特許番号

第2550703号

(45) 発行日 平成8年(1996)11月6日

(24) 登録日 平成8年(1996)8月22日

(51) Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/336		9055-4M	H 0 1 L 29/78	6 5 8 L

請求項の数1(全 6 頁)

(21) 出願番号	特願平1-109579	(73) 特許権者	999999999 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地
(22) 出願日	平成1年(1989)4月28日	(72) 発明者	藤本 裕 愛知県刈谷市昭和町1丁目1番地 日本 電装株式会社内
(65) 公開番号	特開平2-288366	(72) 発明者	岡部 好文 愛知県刈谷市昭和町1丁目1番地 日本 電装株式会社内
(43) 公開日	平成2年(1990)11月28日	(74) 代理人	弁理士 岡部 隆 (外1名)
		審査官	今井 淳一
		(56) 参考文献	特開 昭64-28868 (J P, A)

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】 半導体基板に形成されたゲート酸化膜を有する半導体素子と、
その半導体素子を駆動すべくそのゲートに駆動電圧を印加するゲート端子と、
前記基板に形成され、かつ前記ゲート端子に接続されて、前記半導体素子のゲートに所定値以上の高電圧が印加されるのを防止する保護回路と、
前記基板に形成され、かつ、前記ゲートと前記保護回路との間に形成されて前記保護回路による前記ゲートへの高電圧印加防止作動を禁止して前記駆動電圧よりも高レベルの検査電圧を前記ゲートに印加させる検査電圧印加回路と
を備えることを特徴とする半導体装置。

【発明の詳細な説明】

【産業上の利用分野】

本発明は半導体装置においてゲート保護の向上を狙った回路構成に関するものである。

【従来の技術】

MOS構造の半導体装置においては、酸化膜の絶縁抵抗が非常に高く、膜厚が数100～1000Å程度であるから、例えば10Vの電圧がかかったとするとその電界強度は数メガV/cmにもなる。

ところが素子の取扱い中に衣服などとの摩擦によって、瞬間的に1000V以上の電圧がゲートに加わることがあり、絶縁破壊を起こす。従って、ピンホール数や誘電率の改善などにより酸化膜質を高めて破壊耐圧を上げるほか、保護回路を内蔵する方法がとられている。保護回路としては第7図に示すツェナ・ダイオードによるものが知られている。第7図において、ゲート端子に静電気

や過電圧等のサージ電圧が印加されると、ツェナ・ダイオード2がブレイクダウンすることによりこのサージ電圧が吸収され、パワーMOSFET1のゲート酸化膜の破壊が防止できる。第4図において、ツェナ・ダイオードの降伏電圧は±20V程度にされている。

〔発明が解決しようとする課題〕

しかしながら、第7図に示すものにおいて、ツェナ・ダイオード2によりツェナ降伏電圧以上あることを保障されていたゲート酸化膜の耐圧が、膜質劣化によりツェナ降伏電圧以下になることもある。そうすると、サージ電圧によりツェナ・ダイオード2がブレイクダウンする前にゲート酸化膜が破壊されてしまう。

上記点を考慮すると、充分な検査、スクリーニング試験が必要となるが、第7図に示す回路構成では、検査、スクリーニング試験で保障される耐圧が、パワーMOSFET1の実使用時にゲートに印加する電圧において保障することができても、膜質劣化による耐圧低下を考慮したさらに高レベルでの耐圧を保障することができないという問題がある。

本発明は上記問題に鑑みてなされたもので、検査、スクリーニング試験を充分に行うのに好適であり、膜質劣化によって耐圧が低下することがあっても高レベルでゲート酸化膜の耐圧を保障することのできる半導体装置を提供することを目的とする。

〔課題を解決するための手段〕

本発明は上記目的を達成するために、

半導体基板に形成されたゲート酸化膜を有する半導体素子と、

その半導体素子を駆動すべくそのゲートに駆動電圧を印加するゲート端子と、

前記基板に形成され、かつ前記ゲート端子に接続されて、前記半導体素子のゲートに所定値以上の高電圧が印加されるのを防止する保護回路と、

前記基板に形成され、かつ、前記ゲートと前記保護回路との間に形成されて前記保護回路による前記ゲートへの高電圧印加防止作動を禁止して前記駆動電圧よりも高レベルの検査電圧を前記ゲートに印加させる検査電圧印加回路と

を備えるという技術的手段を採用する。

〔作用および効果〕

上記構成においてその作用を説明する。

ゲート端子に駆動電圧が印加されることにより、半導体基板に形成された半導体素子はゲートに電圧が印加され駆動する。さらにその時において駆動電圧が所定値以上の高電圧である時には保護回路によってゲート酸化膜は保護される。一方、検査時には、検査電圧印加回路によって、前記保護回路による前記ゲートへの高電圧印加防止作動を禁止して前記駆動電圧よりも高レベルの検査電圧を前記ゲートに印加して、ゲート酸化膜の耐圧検査を行う。

以上述べたように本発明においては、保護回路を有する半導体装置において、駆動電圧より高レベルの検査電圧をゲートに印加してゲート酸化膜の耐圧検査をすることができる。その結果、前記ゲート酸化膜の膜質劣化に伴う耐圧低下に対して前記ゲート酸化膜の耐圧を十分保障することができるという優れた効果がある。

また、本発明においては、前記保護回路と前記ゲートとの間に検査電圧印加回路を挿入するだけであるため、容易に高い電圧でゲート酸化膜を検査できる半導体装置を提供することができるという効果がある。

〔実施例〕

以下本発明を図に示す実施例について説明する。

第1図は本発明の一実施例を示す半導体装置の構造図であり、同一半導体基板内にパワー（電力）部（本例においてはパワーMOSFET）およびパワー素子の保護回路が作り込まれた構造となっている。第2図にその電気的等価回路図を示す。

第1図、第2図において、1はパワー部を形成するゲート駆動型パワーMOSFETであり、ゲート酸化膜8上に配設されたゲート電極9に電圧を印加することでその動作が制御される。なお、ゲート酸化膜8およびゲート電極9にてゲートを構成している。2はゲート酸化膜8の破壊防止用のツェナ・ダイオード、3は入力保護用抵抗、4はパワーMOSFETのゲートバイアス用抵抗、6は第1ゲート端子、7は第2ゲート端子、8はゲート酸化膜、9は多結晶シリコンからなるゲート電極、10はソース端子、11はドレイン端子、12は酸化膜SiO₂、13は保護膜BP SG、14はアルミ電極である。

なお、保護回路はツェナ・ダイオード2であり、検査電圧印加回路はツェナ・ダイオード5および抵抗4によって構成され、それぞれ第1図において酸化膜12上に、多結晶Siを積みそこに作り込まれている。

上記構成において、第1のゲート端子6にゲート電圧（例えばバッテリー電圧12V）の印加時においては、そのゲート電圧のもとでパワーMOSFET1が作動する。その作動時において、静電気、過電圧等のサージがゲートに印加されるようなことがあったとしても、ツェナ・ダイオード2によってサージは吸収されゲート酸化膜の静電破壊は阻止される。また、耐圧を保障するために行う検査時には、ツェナ・ダイオード5および抵抗4が設けられているために、第1ゲート端子6に電圧を印加して検査するよりもツェナ・ダイオード5の降伏電圧分高いレベルまで、第2ゲート端子7に電圧を印加して検査することができ、パワーMOSFET1のゲート酸化膜の耐圧を高いレベルで保障することができる。すなわち、この検査は、第2のゲート端子7に所定の定電流（例えば1mA）を供給することにより、ツェナ・ダイオード2,5それぞれの降伏電圧の和をパワーMOSFET1のゲート、ソース間に印加し、第2のゲート端子7とソース端子10間にその降伏電圧の和の値があらわれた時は正常と判断され、

そのゲート、ソース間のショート等により第2のゲート端子7とソース端子10間の電圧が0Vとなった時には異常と判断されるようにして行なわれる。なお、検査時において、静電気等のサージが印加されてもツェナ・ダイオード2がブレイクダウンすることによってゲート酸化膜が保護できる。

なお、上記一実施例では、nチャネル型パワーMOSFETであったが、Pチャネル型であってもよい。

また、上記実施例ではパワー部にパワーMOSFETを使用しているが、これに限ったものではなく、例えば絶縁ゲート型バイポーラトランジスタ(IGBT)のようなゲート駆動型の半導体装置においても適用可能である。

また、保護ダイオード2,5は順方向、逆方向を各々何段か組合わせるようにしてもよい。

また、第3図に示すように耐圧回路を一段増設し(符号4', 5'), 端子7で耐圧検査を行い、半導体装置の駆動時は使用条件に応じて、例えば駆動電圧が不安定で変動が大きい時には端子7'を、駆動電圧が安定している時には端子6をという様にゲート端子を使い分けるようにしてもよい。

さらに、検査電圧印加回路としてツェナ・ダイオードを用いずにMOSスイッチを用いて構成することもできる。この実施例を第4図乃至第6図に示す。

第4図に示す実施例においては、第7図に示す従来構成のものに対し、MOSスイッチ15、抵抗16を設けるとともに、第2のゲート端子7を設けたものである。この実施例において、第1のゲート端子6へのゲート電圧印加時にはMOSスイッチ15がONし、第7図に示す従来構成のものと同様に作動する。検査時においては、第1のゲート端子6の電位を低下することによりMOSスイッチ15がオフし、第2のゲート端子7に上記ゲート電圧より高い検査電圧を印加することにより第2図の実施例と同様にパワーMOSFET1の検査を行なうことができる。

また、第5図に示す実施例においては、ツェナ・ダイオード2の作動を制御するMOSスイッチ17と抵抗18を設

けたものである。この実施例において、第1のゲート端子6へのゲート電圧印加時にはMOSスイッチ17がオンし、ツェナ・ダイオード2による保護作動が行なわれるとともにパワーMOSFET1の通常作動が行なわれる。また、検査時においては、第1のゲート端子6の電位を低下することによりMOSスイッチ17がオフし、第2のゲート端子7に上記した検査電圧を印加することによりパワーMOSFET1の検査を行なうことができる。また、この実施例に対し、第2のゲート端子7の代わりに、破線で示す第2のゲート端子7'を設けるようにしてもよい。この場合、通常使用時には第2のゲート端子7'の電位を高くしてMOSスイッチ17をオンさせ第1のゲート端子6へのゲート電圧の印加によりパワーMOSFET1を作動させ、検査時には、第2のゲート端子7'の電位を低下してMOSスイッチ17をオフさせるようにし、第1のゲート端子6に検査電圧を印加してパワーMOSFET1の検査を行なうようにする。

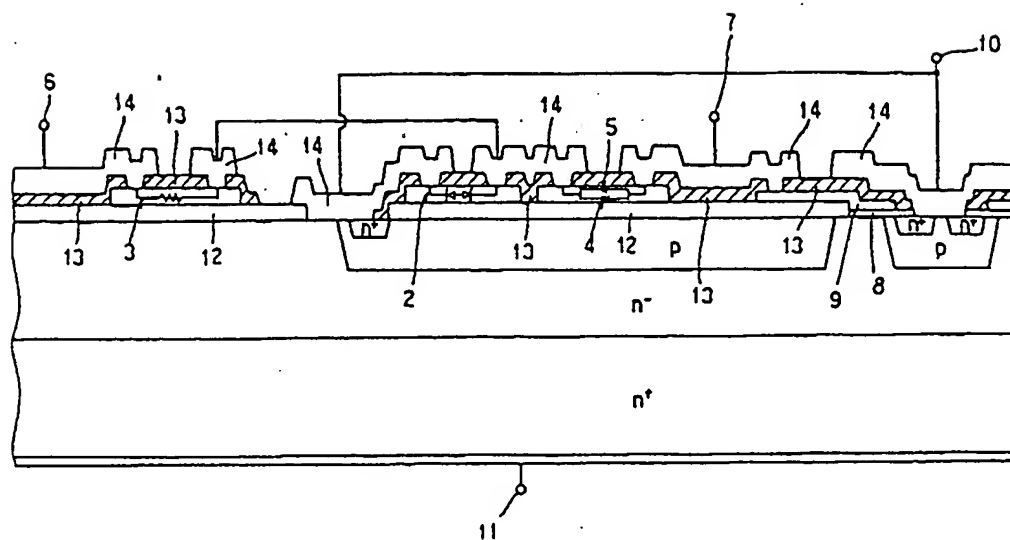
さらに、第6図に示す実施例においては、第5図に示すものと同様にツェナ・ダイオード2の作動を制御するPチャネル型MOSスイッチ18と抵抗19を設けたものである。この実施例においても、第5図に示す第2のゲート端子7'を設けたものと同様に、第2のゲート端子7の電位を下げMOSスイッチ18をオンして通常作動させ、検査時には、第2のゲート端子7の電位を上げてMOSスイッチ18をオフし、第1のゲート端子6に検査電圧を印加してパワーMOSFET1の検査を行う。

【図面の簡単な説明】

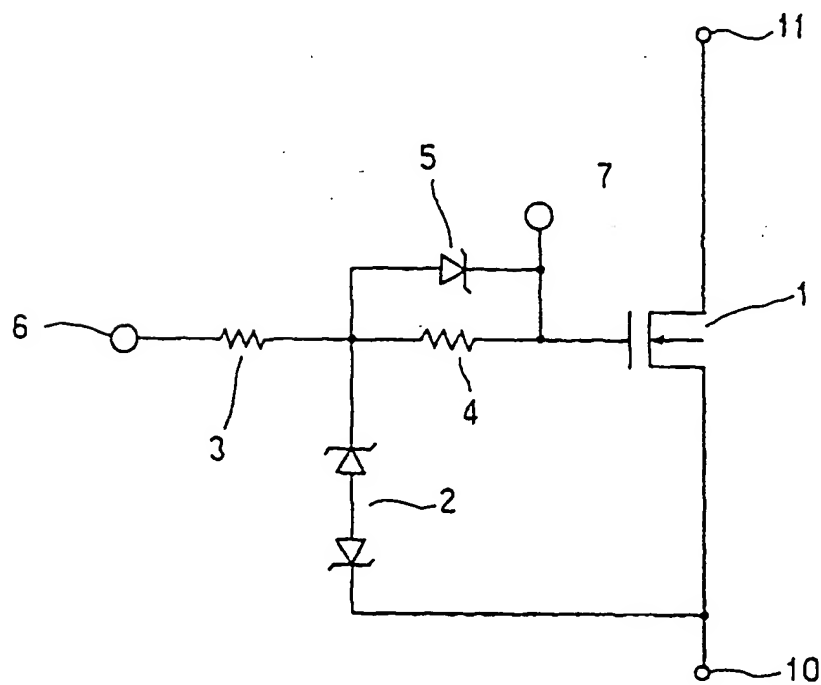
第1図は本発明一実施例を示す半導体装置の構造図、第2図は第1図に示すものの等価回路図、第3図乃至第6図は他の実施例を示す回路図、第7図は従来の半導体装置によるものの等価回路図である。

1……パワーMOSFET, 2……ツェナ・ダイオード, 5……ツェナ・ダイオード, 6……第1ゲート端子, 7……第2ゲート端子, 8……ゲート酸化膜, 9……ゲート。

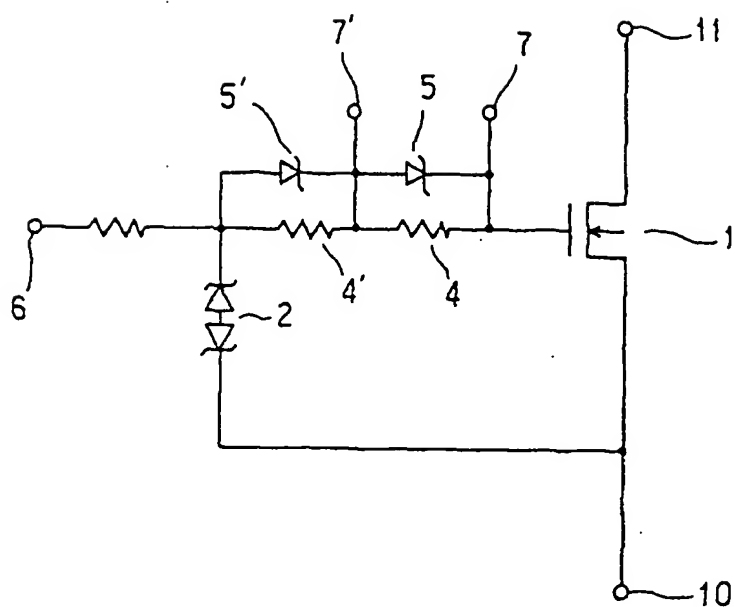
【第1図】



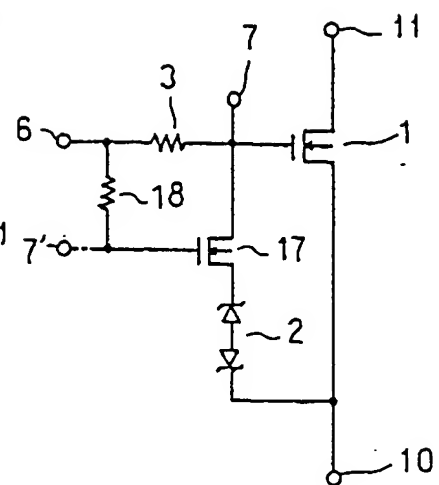
【第2図】



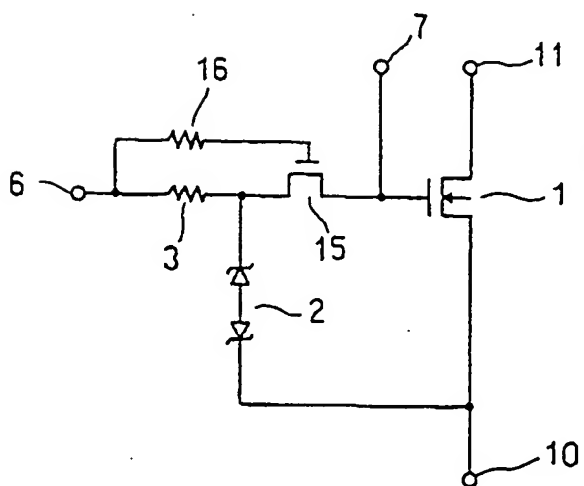
【第3図】



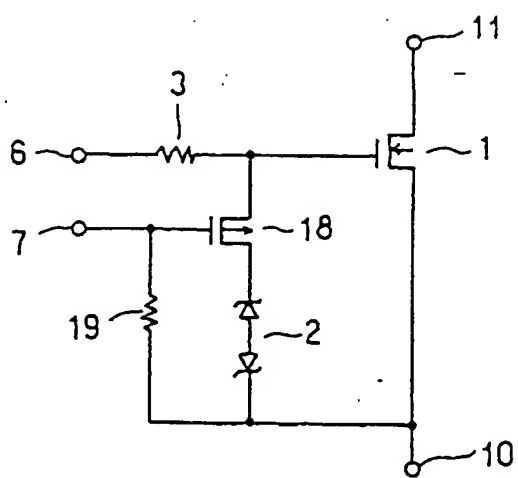
【第5図】



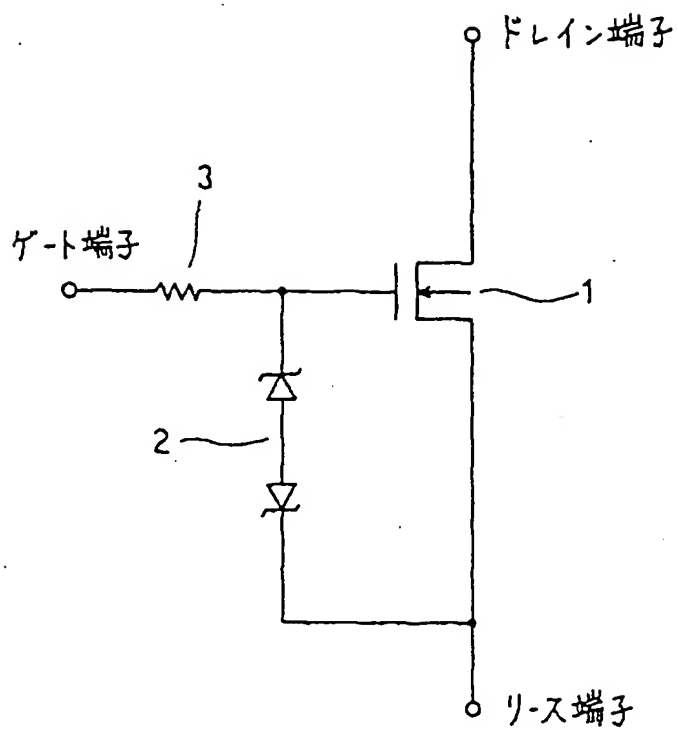
【第4図】



【第6図】



【第7図】



SEMICONDUCTOR DEVICE

Patent Number: JP2288366
Publication date: 1990-11-28
Inventor(s): FUJIMOTO YUTAKA; others: 01
Applicant(s):: NIPPONDENSO CO LTD
Requested Patent: ☐ JP2288366
Application Number: JP19890109579 19890428
Priority Number(s):
IPC Classification: H01L29/784 ; H01L21/66
EC Classification:
Equivalents: JP2550703B2

Abstract

PURPOSE:To prove the breakdown strength of a gate oxide film at a high level with respect to a decrease in the breakdown strength upon deterioration of a film quality by providing an inspecting voltage applying circuit for applying an inspecting voltage of a higher level than a driving voltage to a gate by inhibiting a high voltage application preventing operation to the gate by a protective circuit.

CONSTITUTION:A protective circuit is formed of a Zener diode 5 and an inspecting voltage applying circuit is formed of a Zener diode 5 and a resistor 4, and polycrystalline Si is laminated on an oxide film 12. In this case, since the diode 5 and the resistor 4 are provided, at the time of inspection performed for ensuring a breakdown strength, an inspection can be conducted by applying a voltage to a second gate terminal 7 up to a higher level corresponding to the breakdown voltage of the diode 5 as compared with the inspection by applying the voltage to a first gate terminal 6, thereby providing the breakdown strength of a gate oxide film 8 of a power MOSFET at a high level.

Data supplied from the esp@cenet database - I2